

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

JPA 2000-078397

(11) Publication number: 2000078397 A

(43) Date of publication of application: 14.03.00

(51) Int. Cl.

H04N 1/393

H04N 1/04

(21) Application number: 10249772

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 03.09.98

(72) Inventor: NISHIDA IKUO

## (54) IMAGE FORMING DEVICE

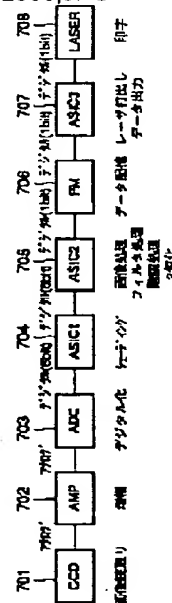
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To avoid the problem of vibrations without making the width of machine body large and to dispense with complicated arithmetic processing by performing magnification in the sub-scanning direction in the image reading of an image forming device, while using both a method for performing the magnification while changing the conventional moving speed of a carriage and a method for performing magnification through signal processing.

**SOLUTION:** When a scale is smaller than a certain reduction factor at the time of reduction, the carriage moving speed is made about two times the setting factor. A line memory for one main scan line is provided inside an ASIC (1) 704 for a scanner, data for the first one line are stored, and at the time point when the next main scan line is fetched, after the averaging processing with the data of the first line is performed, they are outputted to an image processing ASIC (2) 705 on the following stage. In addition, filtering processing, gradation processing, binarizing, and main scanning direction magnification changing processing at the image

processing ASIC (2) 705 on the following stage are performed as usual. The data processed by this image processing ASIC (2) 705 on the following stage are temporarily stored in a page memory(PM) 706.

COPYRIGHT: (C)2000,JPO



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-78397

(P 2 0 0 0 - 7 8 3 9 7 A)

(43) 公開日 平成12年3月14日 (2000. 3. 14)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

ターコード (参考)

H04N 1/393  
1/04

H04N 1/393  
1/04

5C072  
C 5C076

審査請求 未請求 請求項の数 2 O L (全10頁)

(21) 出願番号 特願平10-249772

(22) 出願日 平成10年9月3日 (1998. 9. 3)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西田 郁雄

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

F ターム (参考) 5C072 AA05 BA09 MB03 TA05 UA12

UA20 XA01

5C076 AA21 AA22 BA08 BB06 BB07

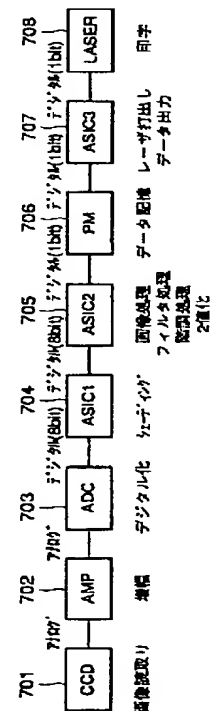
BB31 CB01

(54) 【発明の名称】 画像形成装置

(57) 【要約】

【課題】 機体幅を大きくせず、またキャリッジを高速で動作させることによる振動などによる問題を回避し、複雑な計算処理も行わず、かつ多大なメモリも必要としない手法で副走査方向の縮小を実現する。

【解決手段】 複写倍率を設定する手段と、設定された複写倍率に応じてキャリッジの移動速度を変更する手段と、少なくとも読取り原稿1ページ分の2値データを記憶する手段とを有し、縮小時にある倍率以下の場合にはそれまでの倍率とキャリッジ移動速度の関係からすると2分の1のキャリッジ移動速度でキャリッジを走査し、読取り主走査方向1ライン分の画素数×階調のラインメモリを有し、主走査2ライン分のデータを多値データのうちに計算処理することにより、副走査方向の縮小変倍を行う画像形成装置であって、縮小時に画像副走査方向倍率変更をキャリッジ移動速度と信号処理を併用して行うことを特徴とする。



## 【特許請求の範囲】

【請求項 1】 形成すべき原稿画像をキャリッジによって走査して得られる光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、前記形成すべき原稿画像の複写倍率を設定する倍率設定手段と、

この倍率設定手段によって設定された複写倍率に応じて前記キャリッジの移動速度を変更するもので、設定された複写倍率が縮小時においてある倍率以下の場合にはそれまでの倍率とキャリッジ移動速度の関係からの 2 分の 1 のキャリッジ移動速度でキャリッジを走査する速度変更手段と、

前記蓄積手段に蓄積された電気信号をデジタル信号に変換し、主走査方向 1 ライン分の入力画像データを記憶するラインメモリを有し、主走査方向 2 ライン分のデータを多値データのうちに計算処理することにより、副走査方向の縮小変倍を行ってから、該主走査方向 1 ライン分の入力画像データとして出力する前処理手段と、

この前処理手段から出力される主走査方向 1 ライン分の入力画像データを画素毎に取り込んで 2 値データとする処理を含む所定の画像データ処理を行う画像データ処理手段と、

前記画像データ処理手段からの 2 値データに対し少なくとも前記形成すべき原稿画像 1 ページ分の 2 値データを記憶する記憶手段とを有し、

前記縮小時に、前記速度変更手段によって副走査方向倍率変更をキャリッジ移動速度のみで行うときのキャリッジ移動速度の半分のキャリッジ移動速度とすると共に、前記前処理手段によって主走査方向 2 ライン分のデータを多値データのうちに平均化処理で行うことにより、副走査方向倍率を変更することを特徴とする画像形成装置。

【請求項 2】 形成すべき原稿画像をキャリッジによって走査して得られる光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段と、前記形成すべき原稿画像の複写倍率を設定する倍率設定手段と、

この倍率設定手段によって設定された複写倍率に応じて前記キャリッジの移動速度を変更するもので、設定された複写倍率が縮小時においてある倍率以下の場合にはそれまでの倍率とキャリッジ移動速度の関係からの 2 分の 1 のキャリッジ移動速度でキャリッジを走査する速度変更手段と、前記蓄積手段に蓄積された電気信号をデジタル信号に変換し、主走査方向 1 ライン分の入力画像データを記憶するラインメモリを有し、主走査方向 2 ライン分のデータを多値データのうちに計算処理することにより、副走査方向の縮小変倍を行ってから、該主走査方向 1 ライン分の入力画像データとして出力する前処理手段と、

この前処理手段から出力される主走査方向 1 ライン分の

入力画像データを画素毎に取り込んで 2 値データとする処理を含む所定の画像データ処理を行う画像データ処理手段と、

前記画像データ処理手段からの 2 値データに対し少なくとも前記形成すべき原稿画像 1 ページ分の 2 値データを記憶する記憶手段とを有し、

前記縮小時に、前記速度変更手段によって副走査方向倍率変更をキャリッジ移動速度のみで行うときのキャリッジ移動速度の半分のキャリッジ移動速度とすると共に、前記前処理手段によって主走査方向 1 ライン分のデータを多値データのうちに間引き処理することにより、副走査方向倍率を変更することを特徴とする画像形成装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【発明の属する技術分野】本発明は、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子 (CCD) を用いるようにした画像形成装置において、特に、画像形成装置の画像読取りにおける副走査方向 (キャリッジ移動方向) の変倍を従来のキャリッジの移動速度を変えて行う手法と信号処理によって行う手法とを併用して行うようにした画像形成装置に関する。

## 【 0 0 0 2 】

【従来の技術】周知のように、電子複写機、デジタル複写機 (PPC)、ファクシミリなどの画像形成装置においては、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子 (CCD) が用いられている。

【 0 0 0 3 】このように、CCD などの光電変換素子を用いて画像データを読み取る読取りスキャナ光学系において、主走査方向については、CCD の画素数、レンズ倍率によって読取り画像の大きさ (倍率) が決まってしまうために、出力時に倍率を変える手法としてデジタル信号を計算処理によって行うようにした手法が広く用いられている。

【 0 0 0 4 】一方、副走査方向 (キャリッジ移動方向) については、キャリッジの移動速度を変えることにより、1 主走査ラインで読み取る原稿幅を変えることで倍率を変える手法、あるいは 1 ページ分の画像データを読み込んだ後に画像処理 (計算処理) により倍率を変える手法などが用いられている。

## 【 0 0 0 5 】

【発明が解決しようとする課題】しかるに、副走査方向の変倍をキャリッジの移動速度を変化させて行う手法においては、例えば、倍率可変範囲が 25 % から 400 % までであったときに、キャリッジ移動速度について考えると、400 % 時の移動速度に対して 25 % 時の移動速度は 16 倍のスピードが必要となる。

【 0 0 0 6 】これは、例えば、100 % 時のキャリッジ移動速度が 200 mm/sec であったとすると、400 % 時には 50 mm/sec、25 % 時には 800 mm

／sec の速度が必要であるということである。

【0007】これを実現するためには、キャリッジを駆動するモータとして、この 16 倍のスピード範囲で使えるものでなければならないし、なによりキャリッジの移動速度を 800mm/sec という高速で安定して画像読取りを行うためには、画像領域以外（原稿の大きさ以上）に非常に長い加速距離、キャリッジ駆動の安定化までの距離が必要となり、結果として機体、あるいはスキャナ部が大きくなってしまいうという欠点があった。

【0008】また、副走査方向の移動速度を変えないで 10 変倍を行うために、画像処理（計算処理）によった変倍手法を採用した場合には、1 ページ分の画像データを読み込んだ後に、このデータを一旦メモリなどに記憶する必要がある。

【0009】スキャナでの読取り画像は一般的に多値であるから、このまま 1 ページ分の画像データをそのままメモリに記憶させようとする、例えば、A4 サイズで 8bit データとすると、A3 サイズのデータは 600dpi の解像力とすると、約 9MB であるからこれを 8bit データで記憶するとすると  $9 \times 8 = 72$  MB のメモリが必要となる。

【0010】このメモリ容量を DRAM などの半導体素子で得ようとする、非常に高価になり、また、ハードディスクなどの記憶装置でこのメモリ容量を実現しようとする、ハードディスクの読み書きのスピードに時間がかかり、処理スピードが遅くなる。

【0011】また、2 値データに変換後にメモリに記憶させる手法では、2 値データに変換後に変倍処理を行ったのでは、著しく画像が劣化し、途中途中で変倍処理を行うためには、副走査方向の倍率に応じた主走査ライン数のラインメモリを管理することが必要となり、計算も非常に複雑になるという欠点があった。

【0012】そこで、本発明は、以上のような点に鑑みてなされたもので、スキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子（CCD）を用いるようにした画像形成装置において、特に、画像形成装置の画像読取りにおける副走査方向（キャリッジ移動方向）の変倍を従来のキャリッジの移動速度を変えて行う手法と信号処理によって行う手法とを併用して行うことにより、機体幅（読取りスキャナの大きさ）を大きくせず、またキャリッジを高速で動作させることによる振動などの問題を回避し、複雑な計算処理も行わず、かつ多大なメモリも必要としない手法で副走査方向の縮小を実現することができるようにした画像形成装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明によると、上記課題を解決するために、形成すべき原稿画像をキャリッジによって走査して得られる光画像情報を受光して光電変換した電気信号を 1 ラインの素子に蓄積する蓄積手段

と、前記形成すべき原稿画像の複写倍率を設定する倍率設定手段と、この倍率設定手段によって設定された複写倍率に応じて前記キャリッジの移動速度を変更するもので、設定された複写倍率が縮小時においてある倍率以下の場合にはそれまでの倍率とキャリッジ移動速度の関係からの 2 分の 1 のキャリッジ移動速度でキャリッジを走査する速度変更手段と、前記蓄積手段に蓄積された電気信号をデジタル信号に変換し、主走査方向 1 ライン分の入力画像データを記憶するラインメモリを有し、主走査方向 2 ライン分のデータを多値データのうちに計算処理することにより、副走査方向の縮小変倍を行ってから、該主走査方向 1 ライン分の入力画像データとして出力する前処理手段と、この前処理手段から出力される主走査方向 1 ライン分の入力画像データを画素毎に取り込んで 2 値データとする処理を含む所定の画像データ処理を行う画像データ処理手段と、前記画像データ処理手段からの 2 値データに対し少なくとも前記形成すべき原稿画像 1 ページ分の 2 値データを記憶する記憶手段とを有し、前記縮小時に、前記速度変更手段によって副走査方向倍率変更をキャリッジ移動速度のみで行うときのキャリッジ移動速度の半分のキャリッジ移動速度とすると共に、前記前処理手段によって主走査方向 2 ライン分のデータを多値データのうちに平均化処理で行うことにより、副走査方向倍率を変更することを特徴とする画像形成装置が提供される。

【0014】また、本発明によると、上記課題を解決するために、縮小時に、前記速度変更手段によって副走査方向倍率変更をキャリッジ移動速度のみで行うときのキャリッジ移動速度の半分のキャリッジ移動速度とすると共に、前記前処理手段によって主走査方向 1 ライン分のデータを多値データのうちに間引き処理することにより、副走査方向倍率を変更することを特徴とする画像形成装置が提供される。

【0015】

【発明の実施の形態】以下、この発明の一実施の形態について図面を参照して説明する。図 1 は、本発明が適用されるデジタル複写機の要部の概略構成を示すものである。

【0016】すなわち、このデジタル複写機の要部は、上述したようにスキャナ部 4、画像処理部 5、プリンタ部 6 から構成されている。図 1 に示すように、このデジタル複写機の要部による原稿画像の読み込みは、原稿面に露光ランプ 25 で直接光をあてて、その反射光による光画像をミラー 26、30、31、結像レンズ 32 を用いて 4 チャンネル出力 CCD 34 まで導くことによって行われる。

【0017】そして、4 チャンネル出力 CCD 34 は、光画像を光電変換することによって複数（例えば 600dpi の場合 7500 個）のそれぞれの受光素子毎に電荷信号に置き換える。

【0018】この電荷信号は、4チャンネル出力CCD 34内部の後述するCCDアナログシフトレジスタによってアナログ信号として順番に転送出力される。図1に示すように、制御システムは、4チャンネル出力CCD 34を含んだ読み込み制御部81、ページメモリボード82、編集ボード83、画像処理部84と書き込み制御処理部85、レーザ駆動部87、ポリゴンモータドライブ88とを有し、半導体レーザ41からのレーザ光がポリゴンミラー36で偏向されて感光体ドラム44へ導かれるように構成されている。

【0019】図2は、4チャンネル出力CCD 34の構成を詳細に示したもので、順番に配列された受光素子（フォトダイオード等）S1～S7500、シフトゲート101、シフトゲート102、CCDアナログシフトレジスタ111～114、出力バッファ121～124で構成される。

【0020】図2に示すように、4チャンネル出力CCD 34の場合は、信号出力が偶数成分と奇数成分を、さらにそれぞれを左右に分割して4系統の出力構成として、CCDアナログシフトレジスタ111、112、113、114が4つ存在する。

【0021】したがって、CCDアナログシフトレジスタ111によって奇数成分の左端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ112によって偶数成分の左端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ113によって奇数成分の右端の受光素子による信号より順番に転送出力され、アナログシフトレジスタ114によって偶数成分の右端の受光素子による信号より順番に転送出力されることになる。

【0022】また、奇数成分、偶数成分それぞれの左右から出力される最後の信号は、受光素子S1～S7500の中央にて、隣り合って並ぶ受光素子S3749、S3750、S3751、S3752による信号となる。

【0023】この4チャンネル出力CCD 34を駆動するために必要な制御信号（転送クロック、シフトゲート信号、リセット信号、クランプ信号）は、後述する高速スキャナ制御ASICのCCD駆動機能により生成される。

【0024】図3は、読み込み制御部81に搭載される4チャンネル出力CCD 34における画像データの転送を行う前処理システム130と、高速スキャナ制御ASIC 135の構成を示すものである。

【0025】なお、前処理システム130は、アンプ131、132、A/Dコンバータ133、134とから構成されている。前処理システム130において、4チャンネル出力CCD 34から出力されたアナログ信号は、アンプ（Amp：アナログ信号処理集積回路）131、132において画素信号毎にサンプリングされた後、信号増幅される。

【0026】ここで使用するアンプ131、132は、1チップで2チャンネル分の処理が並列（パラレル）で可能である。そして、アンプ131には、4チャンネル出力CCD 34の画素信号の奇数成分の左右2チャンネル（出力端子OS1、OS3）が入力される。

【0027】また、アンプ132には、4チャンネル出力CCD 34の画素信号の偶数成分の左右2チャンネル（出力端子OS2、OS4）が入力される。それぞれのアンプ131、132内部においては、4チャンネル出力CCD 34の左右からの2チャンネルの画素信号が並列で処理（サンプリング及び信号増幅）され、その後で、1チャンネルに合成（マルチプレクス）される。

【0028】すなわち、アンプ131においては奇数成分の左右の信号を合成して1チャンネルに、アンプ132においては偶数成分の左右の信号を合成して1チャンネルにし、それぞれアンプ131、132より出力するという方式をとっている。

【0029】これはアンプ131では4チャンネル出力CCD 34の奇数成分の左右の画素信号をまとめて処理し、アンプ132では4チャンネル出力CCD 34の偶数成分の左右の画素信号をまとめて処理するという構成である。

【0030】このような構成をとることにより、4チャンネル出力CCD 34の出力信号の偶数成分、奇数成分、それぞれの左右の信号の歪みがアンプ（131、132）のチップ間のバラツキ（チップ差による回路特性のばらつき）に依存しないようにするための配慮がなされている。

【0031】また、この場合、アンプ131、132からの信号出力レートは、アンプ131、132への信号入力レートの2倍となる。このアンプ131、132より出力される信号処理の上で適切なレベルまで増幅された画素毎のアナログ信号は、A/Dコンバータ（ADC 133、134）によってAD変換されてデジタル信号となる。

【0032】すなわち、アンプ131は、4チャンネル出力CCD 34から出力された奇数成分の左右2チャンネルの画素信号をそれぞれ並列でサンプリングして信号増幅した後、さらに、これらの信号を1チャンネルに合成する。

【0033】このアンプ131より出力されるアナログ信号については、A/Dコンバータ133によってAD変換するようになっている。また、アンプ132は、4チャンネル出力CCD 34から出力された偶数成分の左右2チャンネルの画素信号をそれぞれ並列でサンプリングして信号増幅した後、さらに、これらの信号を1チャンネルに合成する。

【0034】このアンプ132より出力されるアナログ信号については、A/Dコンバータ134によってAD変換するようになっている。また、ここで使用するA/

Dコンバータ133、134の分解能は、8ビット(bit:256ステップ)なので、画素データとしては1画素あたり8ビットデータとなる。

【0035】このように4チャンネル出力CCD34にて読込まれた画像情報(光画像データとして4チャンネル出力CCD34に入力されるもの)に基づいて、4チャンネル出力CCD34より出力される画素信号(アナログ信号)をアンプ131、132にて信号増幅及び合成し、それらの信号をA/Dコンバータ133、134によってAD変換してデジタル信号にすると一連の処理がスキャナ部4における前処理と呼ばれる。

【0036】この前処理を実行する各部が前処理システム130を構成する。また、アンプ131、132を駆動するために必要な制御信号(サンプルホールドパルス、合成信号、クランプ信号)及びA/Dコンバータ133、134においてAD変換処理に必要なAD変換用クロックについては、高速スキャナ制御ASIC135の前処理LSI駆動機能より生成される。

【0037】このようにして前処理が施された画像情報に基づく画素信号(1画素あたり8ビットデータ、以下画像データと記述する)は、高速スキャナ制御ASIC135へと入力され、高速スキャナ制御ASIC135内部においてシェーディング補正処理及び左右補正処理、ラスタ変換処理が施される。

【0038】図4は、高速スキャナ制御ASIC135の構成を示すものである。すなわち、この高速スキャナ制御ASIC135は、バス幅変換回路140、シェーディング補正回路141、142、143、144、バスセレクト回路(SEL)147、148、左右補正回路160、ビット反転回路161、162、163、164、及びラスタ変換回路165から構成されている。

【0039】前述したように、前処理システム130で前処理が施された画像データは、DOAX(8ビット:奇数成分の左右合成されたデータ)及びDOBX(8ビット:偶数成分の左右合成されたデータ)として2チャンネルで高速スキャナ制御ASIC135に入力される。

【0040】ここで、高速スキャナ制御ASIC135内部における全ての処理は、前処理システム130においてデジタル化された画像データに対して行われるものである。

【0041】これらの画像データは、まずバス幅変換回路140を通ることにより奇数成分、偶数成分それぞれにおいて左のデータと右のデータに分けられる。すなわち、奇数成分の左右合成されたデータであるDOAX(8ビット)は、バス幅変換回路140によりDOA1X(8ビット:奇数成分の左のデータ)とDOA2X(8ビット:奇数成分の右のデータ)とに分解される。

【0042】また、偶数成分の左右合成されたデータであるDOBX(8ビット)は、バス幅変換回路140に

よりDOB1X(8ビット:偶数成分の左のデータ)とDOB2X(8ビット:偶数成分の右のデータ)とに分解される。

【0043】したがって、バス幅変換回路140によって2チャンネルで入力される画像データは4チャンネルに分解されるため、例えば、画像データのデータレートが2チャンネルで1チャンネル当り40MHzとしてDOAX、DOBXより入力された場合、バス幅変換処理後の出力としての画像データは4チャンネルで1チャンネル当り20MHzとしてDOA1X、DOA2X、DOB1X、DOB2Xに変換された状態で出力され、次段に入力されることになる。

【0044】バス幅変換処理により分解されたそれぞれの画像データDOA1X(8ビット:奇数成分の左のデータ)、DOA2X(8ビット:奇数成分の右のデータ)、DOB1X(8ビット:偶数成分の左のデータ)、DOB2X(8ビット:偶数成分の右のデータ)は、シェーディング補正回路141、142、143、144によりシェーディング補正処理が施される。

【0045】また、図4に示すように高速スキャナ制御ASIC135の場合、シェーディング補正回路を4つ準備することにより、バス幅変換処理された4チャンネルの画像データDOA1X、DOA2X、DOB1X、DOB2Xをそれぞれ並列で同時に処理できるような構成をとっている。

【0046】なお、画像濃度に対する画像データの各画素毎に生じる濃度勾配的な偏差の影響については、シェーディング補正機能により補正され、画像濃度に対する左右の画像データ間(信号伝達経路間(処理経路間))に生じるリニアリティ的な偏差の影響については左右補正回路160により補正される。

【0047】このように高速スキャナ制御ASIC135内部において、これら一連の処理が施された画像データは、AIDTAX(8ビット)、AIDTBX(8ビット)、AIDTCX(8ビット)、AIDTDX(8ビット)として高速スキャナ制御ASIC135より出力され、画像処理ASIC84へと受け渡される。

【0048】画像処理ASIC84に入力された画像データは、画像処理ASIC84内部において、フィルタリング処理、レンジ補正処理、倍率変換(拡大、縮小)処理、 $\gamma$ 補正濃度変換処理、階調処理といった画像処理による一連のデータ加工処理が施される。

【0049】次に、以上のような高速化対応のスキャナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子(CCD)として高速デジタルPPC向けの4チャンネル出力CCDを用いるようにした画像形成装置において、特に、画像形成装置の画像読取りにおける副走査方向(キャリッジ移動方向)の変倍を従来のキャリッジの移動速度を変えて行う手法と信号処理によって行う手法とを併用して行うことにより、機体幅

(読取りスキヤナの大きさ)を大きくせず、またキャリッジを高速で動作させることによる振動などの問題を回避し、複雑な計算処理も行わず、かつ多大なメモリも必要としない手法で副走査方向の縮小を実現することができるとした画像形成装置及びその制御方法を提供するためになされた本発明の要部について説明する。

【0050】図5は、本発明による画像形成装置の要部の構成として画像信号の流れに沿って示したブロック図である。すなわち、図5に示すように、前述したスキヤナ部4のCCD701で読み取られたアナログの画像信号は、前処理システム130のAMP(増幅器)702で増幅された後、ADC(A/Dコンバータ)703でデジタルの画像データに変換されて、スキヤナ画像用ASIC(1)704に入力される。

【0051】そして、ADC(A/Dコンバータ)703からのデジタルの画像データは、スキヤナ用ASIC(1)704においてCCD701の画素毎の感度の補正を行うために前述したようなシェーディング補正と呼ばれる処理が施された後、後段の画像処理ASIC

(2)705に送られてフィルタ処理などの画像処理が施される。

【0052】この画像処理ASIC(2)705で、フィルタ処理などの画像処理が施されたデジタルの画像データは、2値データとして、このASIC(2)705から出力されてページメモリ(PM)706と呼ばれるメモリに記憶された後に、プリントデータ出力用ASIC(3)707に送られる。

【0053】そして、このプリントデータ出力用ASIC(3)707からのプリントデータ出力に基づいて、レーザ部708からレーザビームが打ち出されことによって前述したような感光体ドラム上に形成される潜像を現像し、それをトナーを用いて用紙に転写した後、定着することにより、コピーとして出力される。

【0054】ところで、通常は、CCD701への入力光量( $I \times \text{sec}$ )を一定とするため、CCD701で1主走査ライン分の光を受光してから、CCD701内の送信バッファへ信号をシフトさせるまでの光蓄積時間と呼ばれる時間を一定時間とする。

【0055】また、副走査方向の倍率を変倍するときには、キャリッジの移動速度を変えることにより、1主走査ラインで読み取る副走査方向の長さを変えることによって行われている。

【0056】このキャリッジの移動速度 $V'$ ( $\text{mm/sec}$ )は、100%コピー時のキャリッジ移動速度を $V$ ( $\text{mm/sec}$ )、コピー倍率を $n\%$ とすると $V' = V \times (100/n)$ で与えられる。

【0057】これは、キャリッジの移動速度( $\text{mm/sec}$ )とコピー倍率(%)との関係を示している図6の実線で表される。本発明では、キャリッジの移動速度を

非常に早くしなければならない縮小側のある倍率以下の倍率での縮小を従来のキャリッジ速度の変更だけではなく、画像処理(計算処理)と合わせて行う。

<実施例1>つまり、

(1)従来のキャリッジ移動速度を変化させるだけで副走査方向倍率の変倍を行う場合のキャリッジ移動速度を本発明では、縮小時にある倍率より小さい(キャリッジ移動速度が速い)場合には、キャリッジ移動速度を設定倍率の2倍相当(移動速度としては、図6の破線で表されるような従来の方式での移動速度の半分)とする。

【0058】(2)しかるに、このままでは副走査方向長さ(主走査方向の読取りライン数)は、この倍率で得たい倍率の2倍の大きさとなってしまう。これを避けるために、本発明では、さらに、スキヤナ用ASIC

(1)704内に主走査1ライン分のラインメモリを設け、図7に示すように、最初の1ライン文のデータ $S_1, S_2, \dots, S_{100}$ を記憶し、次の主走査ラインを取り込んだ時点で最初のラインのデータとの平均化処理 $(S_1 + S_2)/2, (S_3 + S_4)/2, \dots, (S_{99} + S_{100})/2$ を行った後に、後段の画像処理ASIC(2)705に出力するようにしている。

【0059】これにより、後段の画像処理ASIC

(2)705では、通常タイミングでの画像データ転送に対して、主走査方向のデータが1ラインおきの間隔で送られてくることになり、結果として副走査方向の画像データ量は、図8に示すように、平均化処理を行わないとき( $S_1, S_2, \dots, S_{100}$ )に、比較して半分となり、所定の倍率相当のデータを得ることができる。

【0060】また、後段の画像処理ASIC(2)705でのフィルタ処理、階調処理、2値化、主走査方向倍率変更処理は、処理的には通常時と同様に処理することができる。

【0061】しかるに、後段の画像処理ASIC(2)705で画像処理されたデータが、このままプリントデータ出力用ASIC(3)707(レーザビームの打ち出し)に直接送られたのではレーザ部708での印字が、1ラインおきに行われることになってしまう。

【0062】そこで、これを避けるために、本発明では、後段の画像処理ASIC(2)705で画像処理されたデータを、一旦、ページメモリ(PM)706に記憶させるようにしている。

【0063】しかるに、このときに、後段の画像処理ASIC(2)705で画像処理されたデータは2値化されているので、前述したスキヤナ部4のCCD701で読み取られたアナログの画像信号を前処理システム130のAMP(増幅器)702で増幅した後、ADC(A/Dコンバータ)703でデジタルの画像データとされた多値データをそのまま記憶するのと比較すると、非常に少ないメモリ容量で記憶させることができる。

【0064】なお、本実施例ではコピー倍率が50%以



下のときに、キャリッジ移動速度と主走査2ラインデータ平均化による縮小処理を行うような説明図を用いているが、この制御切換の倍率は必ずしも50%という倍率で切り替えるものではなく、例えば、制御の切換ポイントを60%とか、65%とかにしてもかまわない。

＜実施例2＞上述した実施例1では、上記(2)主走査ライン分のラインメモリを用いることで1ライン分のデータを記憶させ、次の1ラインのとの平均化を行う処理で画像データを2分の1とし副走査方向倍率を半分としたが、ラインメモリを用いなくても画像劣化が許容範囲に収まるならば、図9に示すように主走査方向データを1ラインづつ間引く(S1, S3……S99)ことによりデータ量を半分とし、倍率変更を行ってもほぼ同等の効果が得られる。

【0065】以上のようにして、本発明によれば機体幅(読取りスキヤナの大きさ)を大きくせず、またキャリッジを高速で動作させることによる振動などによる問題を回避し、複雑な計算処理も行わず、かつ多大なメモリも必要としない手法で副走査方向の縮小を実現することができる。

【0066】

【発明の効果】以上詳述したように、この発明によれば、スキヤナ部における画像読取り用の光電変換素子として、例えば、電荷結合素子(CCD)として高速デジタルPPC向けの4チャンネル出力CCDを用いるようにした画像形成装置において、特に、画像形成装置の画像読取りにおける副走査方向(キャリッジ移動方向)の変倍を従来のキャリッジの移動速度を変えて行う手法と信号処理によって行う手法とを併用して行うことにより、機体幅(読取りスキヤナの大きさ)を大きくせず、またキャリッジを高速で動作させることによる振動などの問題を回避し、複雑な計算処理も行わず、かつ多大なメモリも必要としない手法で副走査方向の縮小を実現することができるようにした画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】本発明が適用されるデジタル複写機の概略構成を示す図。

【図2】4チャンネル出力CCDの構成を示す図。

【図3】前処理システムと高速スキヤナ制御ASICの構成を示す図。

【図4】高速スキヤナ制御ASICの構成を示すブロック図。

【図5】図5は、本発明による画像形成装置の要部の構成として画像信号の流れに沿って示したブロック図。

【図6】図6は、キャリッジの移動速度(mm/sec)とコピー倍率(%)との関係を示した特性図。

【図7】図7は、本発明において、最初の1ライン文のデータを記憶し、次の主走査ラインを取り込んだ時点で最初のラインのデータとの平均化処理を行った後に、後段の画像処理ASIC(2)705に出力していることを示すタイミングチャート。

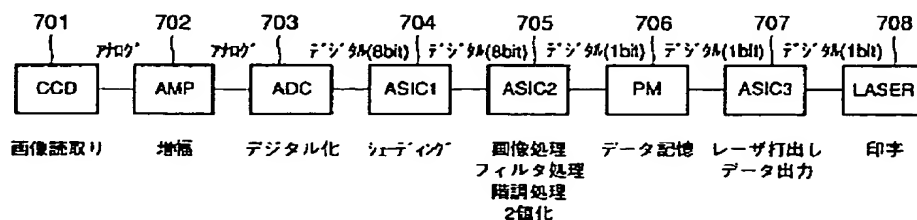
【図8】図8は、最初の1ライン文のデータを記憶し、平均化処理を行わないで、後段の画像処理ASICに出力する場合を示すタイミングチャート。

【図9】図9は、本発明において、主走査方向データを1ラインづつ間引いて、後段の画像処理ASICに出力する場合を示すタイミングチャート。

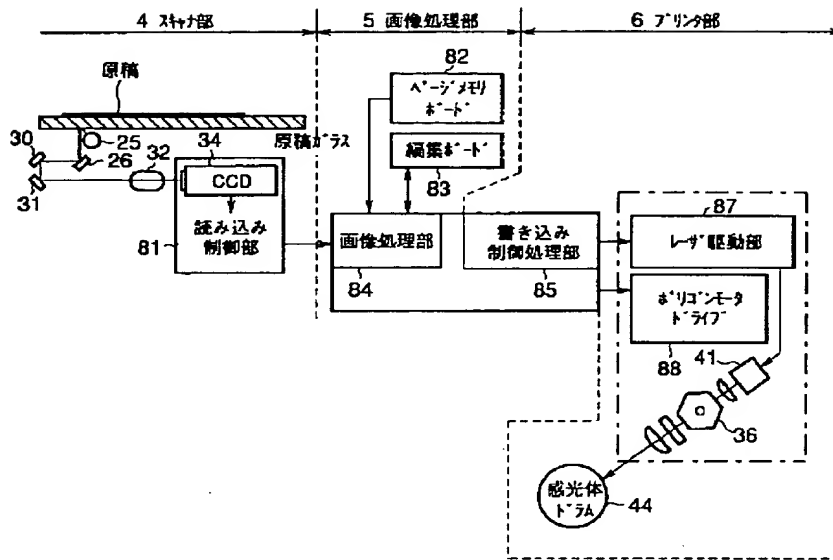
【符号の説明】

4…スキヤナ部、  
5…画像処理部、  
6…プリンタ部、  
34…4チャンネル出力CCD、  
84…画像処理ASIC、  
130…前処理システム  
131、132…アンプ、  
133、134…A/Dコンバータ(ADC)、  
135…高速スキヤナ制御ASIC  
701…CCD、  
702…AMP(増幅器)、  
703…ADC(A/Dコンバータ)、  
704…スキヤナ画像用ASIC(1)、  
705…後段の画像処理ASIC(2)、  
706…ページメモリ(PM)、  
707…プリントデータ出力用ASIC(3)、  
708…レーザ部。

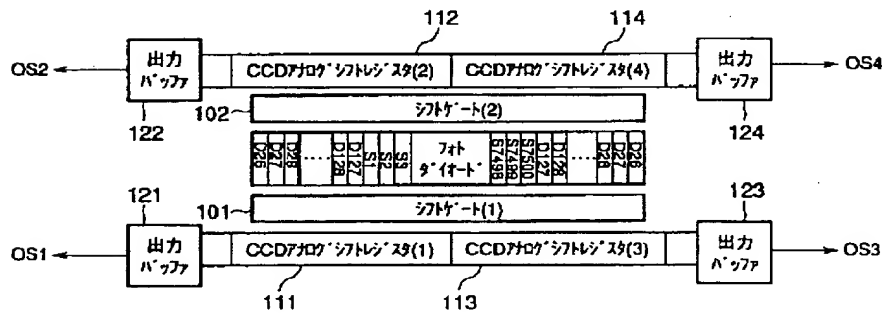
【図5】



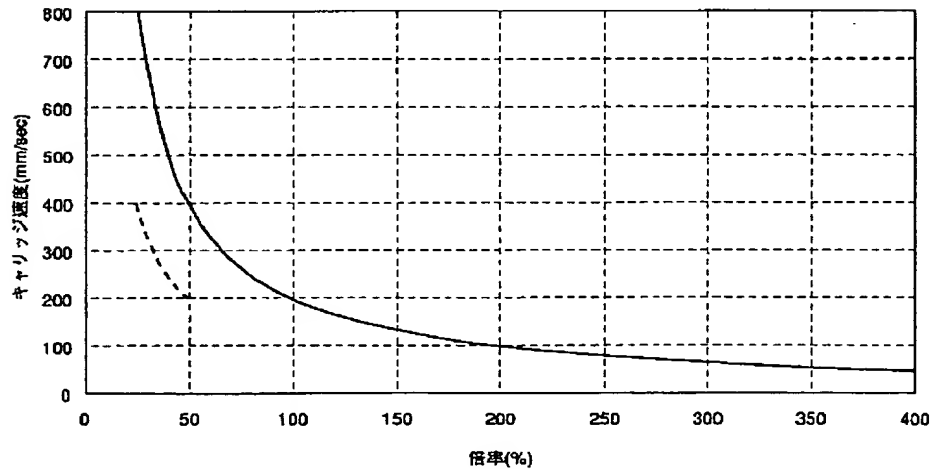
【図 1】



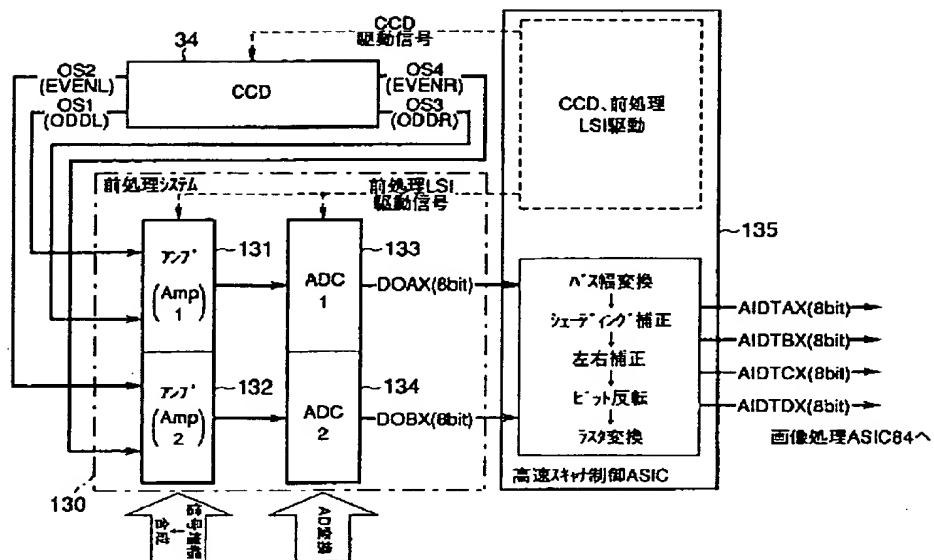
【図 2】



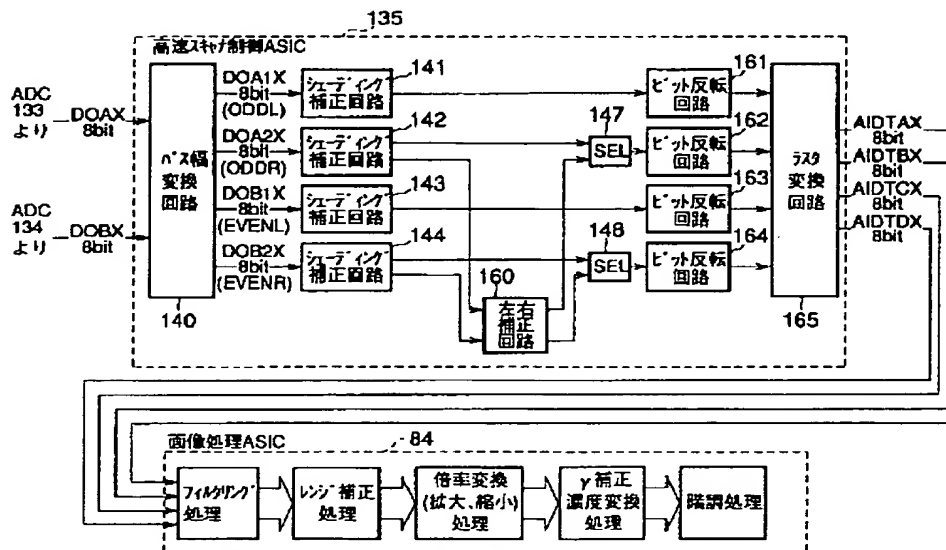
【図 6】



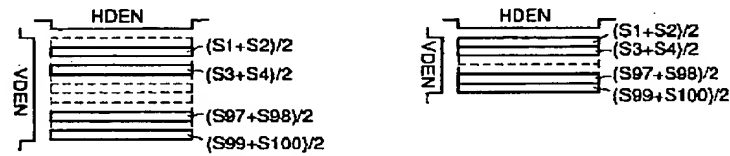
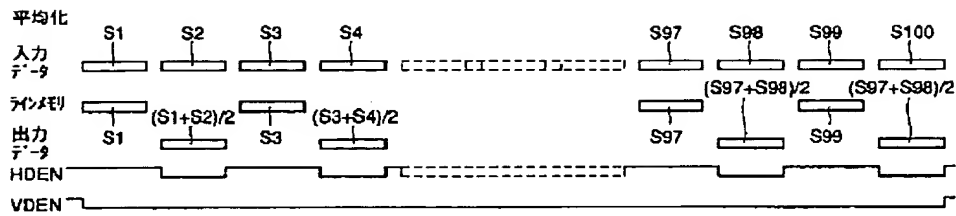
【図3】



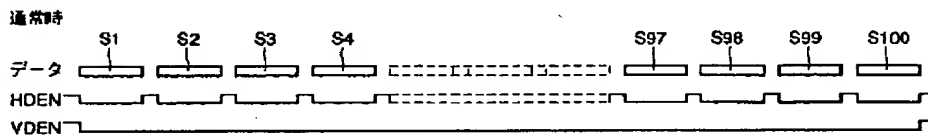
【図4】



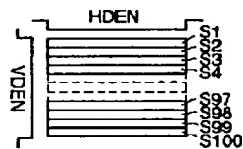
【図 7】



【図 8】



S\*はCCDの主走査方向1ライン分のデータを示す。(A4長手幅、解像度600dpiとすると約7500画素となる。)  
HDEN、VDENはそれぞれ主走査、副走査方向の有効データ領域を現わすものとする



【図 9】

